

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144862

(43)Date of publication of application : 29.05.1998

(51)Int.Cl. H01L 25/065  
 H01L 25/07  
 H01L 25/18  
 H01L 27/01  
 H01L 27/04  
 H01L 21/822

(21)Application number : 08-300101

(71)Applicant : NEC KYUSHU LTD

(22)Date of filing : 12.11.1996

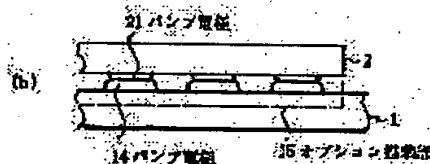
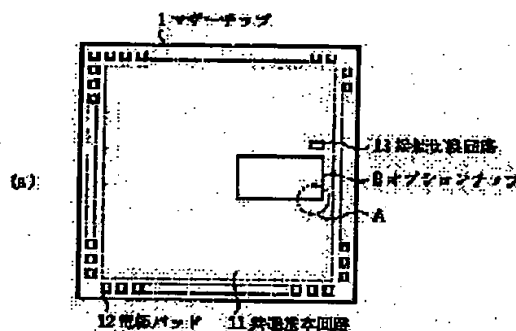
(72)Inventor : TAJIMA KAZUHISA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To shorten a manufacture period, improve integration, miniaturize and expand the application area.

**SOLUTION:** A mother chip 1 is provided with a common basic circuit 11, which has versatile basic functions and common functions to custom circuits of a plurality of types, and an option connecting part 15 composed of a plurality of bump electrodes 14. An option chip 2 has an option circuit which variously changes the common basic circuit 11 and a connecting part composed of a plurality of bump electrodes 21. The option chip 2 is mounted on the mother chip 1 by correspondingly connecting the bump electrodes 14 with the bump electrodes 21. Thus, the mother chip 1 and the option chip 2 can be separately manufactured, and in the area of an option mounting part 15, the common basic circuit 11 can be formed.



LEGAL STATUS

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2845847号

(45)発行日 平成11年(1999) 1月13日

(24)登録日 平成10年(1998)10月30日

(51)Int.Cl.<sup>o</sup>

識別記号

F I

H 0 1 L 25/065  
25/07  
25/18

H 0 1 L 25/08

B

請求項の数7 (全 7 頁)

(21)出願番号 特願平8-300101

(22)出願日 平成8年(1996)11月12日

(65)公開番号 特開平10-144862

(43)公開日 平成10年(1998) 5月29日

審査請求日 平成8年(1996)11月12日

(73)特許権者 000164450

九州日本電気株式会社

熊本県熊本市八幡一丁目1番1号

(72)発明者 田島 一久

熊本県熊本市八幡一丁目1番1号 九州

日本電気株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

審査官 川真田 秀男

(58)調査した分野(Int.Cl.<sup>o</sup>, D B名)

H01L 25/065

(54)【発明の名称】 半導体集積回路

(57)【特許請求の範囲】

【請求項1】 複数種類のカスタム回路に対し汎用性のある所定の基本機能、共通機能を備えた共通基本回路、及びこの共通基本回路と接続し所定の位置に設けられた複数の第1の接続端子を含むオプション接続部が形成されたマザーチップに、前記共通基本回路の所定の部分に対する仕様変更、機能変更、機能付加を含む各種変更を盛り込んだカスタム回路部分のオプション回路、及び前記オプション接続部の複数の第1の接続端子それぞれと対応する複数の第2の接続端子を含む接続部が形成されたオプションチップを、前記複数の第1の接続端子及び複数の第2の接続端子を対応接続して搭載して成ることを特徴とする導体集積回路。

【請求項2】 複数の第1及び第2の接続端子をパンプ電極とした請求項1記載の半導体集積回路。

【請求項3】 マザーチップとオプションとの間に、複数の第1及び第2の接続端子の隣接する接続端子間の間隙確保用、並びにマザーチップ及びオプションチップに加えられる衝撃に対する強度強化用の保護・緩衝層を設けた請求項1記載の半導体集積回路。

【請求項4】 マザーチップ及びオプションの第1、第2の接続端子間の位置に対するアライメント手段を設けた請求項1記載の半導体集積回路。

【請求項5】 アライメント手段を、オプションチップの所定の位置に所定の間隔で一列に配置された所定の太さの複数の第1のアライメント用端子と、これら複数の第1のアライメント用端子それぞれと対応するマザーチップの位置に前記複数の第1のアライメント用端子とは異なる太さ異なる間隔で一列に配置された複数の第2のアライメント用端子とを備え、前記複数の第1及び第2

のアライメント用端子それぞれの対応するものどうしの導通状態を確認してアライメントを行うショートノギスアライメントシステムとした請求項4記載の半導体集積回路。

【請求項6】 アライメント手段を、マザーチップ及びオプションチップのうちの一方に設けられ先端が先細となるような傾斜を持つ第1のアライメント用端子と、前記マザーチップ及びオプションチップのうちの他方に設けられ前記第1のアライメント用端子を挿入する挿入孔をもちこの挿入孔が開口部で広くなるような傾斜を持つ第2のアライメント用端子とを含むセルフアライメント構造とした請求項4記載の半導体集積回路。

【請求項7】 マザーチップのオプション搭載部の近傍に、前記オプション搭載部にオプションチップが搭載されていないときには前記マザーチップ単体でこのマザーチップ内の共通基本回路が持つ機能をはたす接続状態とし、前記オプション搭載部に前記オプションチップが搭載されているときには、前記共通基本回路及びオプションチップのオプション回路を結合した状態の機能をはたす接続状態とする接続切換回路を設けた請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路に関し、特にユーザの要求を盛り込んだカスタム回路部分を含む半導体集積回路に関する。

【0002】

【従来の技術】 ユーザの要求を盛り込んだカスタム回路部分を含む半導体集積回路は、1枚のチップ上に、多くのカスタム回路部分に対し共通な、基本的な回路部分と、個々のユーザ向けのカスタム回路部分とを形成する場合が多い。

【0003】 このような半導体集積回路の従来の第1の例のチップのレイアウト図を図5に示す。

【0004】 この半導体集積回路は、1枚の半導体基板の所定の領域に、複数種類のカスタム回路に対し汎用性のある所定の基本機能、共通機能を備えた共通基本回路11aと、この共通基本回路11aの領域外の所定の領域に共通基本回路11aの所定の部分に対する仕様変更、機能変更、機能追加等を含む各種変更を盛り込んだカスタム回路20と、半導体基板の周辺部に、共通基本回路11a及びカスタム回路20と外部回路とを接続する複数の電極パッド12とが形成された集積回路チップ10を有する構成となっている。

【0005】 このような半導体集積回路を製造する場合、製造期間(TAT)を短縮するため、カスタム回路20を除く部分は予め製作しておき、カスタム回路20部分は、受注に応じて、ユーザの要求を盛り込んで後工程で作り込む方法をとっていた。こうすることにより、後工程で作り込まれるカスタム回路20部分は集積回路

チップ10全体に比べると小さいので、受注から納品までの製造期間、集積回路チップ10全体の製造期間を短縮することができる。

【0006】 また、開発期間が短かく、かつ多品種少量生産に対応できるカスタム型の半導体集積回路として、特開平4-199742号公報記載の例がある。この公報を参照して作成した従来の半導体集積回路の第2の例のレイアウト図及び部分拡大側面図を図6(a)、

(b)に示す。

【0007】 この半導体集積回路は、基板の周辺部分及びその内側の所定の位置に設けられた複数の電極パッド31、及びこれら複数の電極パッドと接続しユーザの要求に応じて配線経路や配線・電極パッド間の接続等が決定されるカスタム化された配線を備えたモジュール基板30と、このモジュール基板の内側の電極パッド31と接続してモジュール基板30に搭載され集積回路全体を構成する複数のチップ40とを有する構成となっている。

【0008】 この半導体集積回路のモジュール基板30は、複数の配線が平行して走る配線層を複数層、各層間の配線が互いに交差するように形成し、これら各層間の配線及び配線・電極パッド間の接続を、書込回路によりユーザの要求に応じて完成するようになっており、搭載されるチップ40の内容に応じて、配線経路、配線と周辺の電極パッド31との間の接続、配線と内側(チップ40を搭載接続する)の電極パッド31との接続を決定することができる。また、複数のチップ40それぞれは平行して設計、製作することができる。従って、多品種少量生産であっても、開発期間、製造期間を短くすることができる。

【0009】

【発明が解決しようとする課題】 上述した従来の半導体集積回路は、第1の例では、カスタム回路20部分以外を予め製作しておき、カスタム回路20部分は受注後、後工程で作り込む構造となっているので、後工程で作り込む部分が小さく、受注から納品までの製造期間、集積回路チップ10全体の製造期間を短縮することができるが、カスタム回路20部分以外の部分の製作と、カスタム回路20部分の製作とが時間的に完全にシリアルになるため、製造期間の短縮には限界があり、更なる製造期間の短縮が困難であるという問題点と、カスタム回路20の形成領域が限定されるため、カスタム化に対する適応範囲が狭いという問題点がある。

【0010】 また、第2の例では、モジュール基板30はその製造後でも配線及び電極パッド31をチップ40の内容に合わせて決定することができるので、開発期間が短かく、かつ多品種少量生産に対応できるが、モジュール基板30は汎用性を高めるために実際に使用しない配線が多くその面積が大きくなるという問題点と、モジュール基板30には配線及び電極パッド31並びにこれ

らの接続制御のための書込回路のみが設けられていて集積回路本来の回路はチップ40にのみ形成されていて配線と集積回路とが別々の基板となるため、全体が大型化し、集積度が低いという欠点と、微細化が進み隣接する電極パッド31間の間隔が狭くなると、モジュール基板30の電極パッド31とチップ40の電極パッド41との位置を正確に合て接続する必要があるが、その位置合せ（アライメント）のための手段がないため、電極パッド31、41間の誤接続や隣接する電極パッド同士が短絡する不具合が発生しやすいという問題点と、チップ40が電極パッド31、41の接続のみでモジュール基板30に搭載されているため、チップ40に力（ストレス）が加わったとき破損しやすいという問題点がある。

【0011】本発明の目的は、第1に、集積度の向上及び小型化をはかると共に製造期間を短縮し、かつカスタム化に対する適応範囲を拡大することができ、第2に、微細化進展時の誤接続や短絡事故の発生を防止すると共にチップに対するストレス印加時の破損を防止することができる半導体集積回路を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体集積回路は、複数種類のカスタム回路に対し汎用性のある所定の基本機能、共通機能を備えた共通基本回路、及びこの共通基本回路と接続し所定の位置に設けられた複数の第1の接続端子を含むオプション接続部が形成されたマザーチップに、前記共通基本回路の所定の部分に対する仕様変更、機能変更、機能付加を含む各種変更を盛り込んだカスタム回路部分のオプション回路、及び前記オプション接続部の複数の第1の接続端子それぞれと対応する複数の第2の接続端子を含む接続部が形成されたオプションチップを、前記複数の第1の接続端子及び複数の第2の接続端子を対応接続して搭載して成る構成を有している。また、複数の第1及び第2の接続端子をバンク電極として構成される。

【0013】また、マザーチップとオプションとの間に、複数の第1及び第2の接続端子の隣接する接続端子間の間隙確保用、並びにマザーチップ及びオプションチップに加えられる衝撃に対する強度強化用の保護・緩衝層を設けて構成され、更に、マザーチップ及びオプションの第1、第2の接続端子間の位置に対するアライメント手段を設けて構成される。

【0014】また、アライメント手段を、オプションチップの所定の位置に所定の間隔で一列に配置された所定の太さの複数の第1のアライメント用端子と、これら複数の第1のアライメント用端子それぞれと対応するマザーチップの位置に前記複数の第1のアライメント用端子とは異なる太さ異なる間隔で一列に配置された複数の第2のアライメント用端子とを備え、前記複数の第1及び第2のアライメント用端子それぞれの対応するものどうしの導通状態を確認してアライメントを行うショートノ

グスアライメントシステムとして構成され、更にまた、アライメント手段を、マザーチップ及びオプションチップのうちの一方に設けられ先端が先細となるような傾斜を持つ第1のアライメント用端子と、前記マザーチップ及びオプションチップのうちの他方に設けられ前記第1のアライメント用端子を挿入する挿入孔をもちこの挿入孔が開口部で広くなるような傾斜を持つ第2のアライメント用端子とを含むセルフアライメント構造として構成される。

【0015】また、マザーチップのオプション搭載部の近傍に、前記オプション搭載部にオプションチップが搭載されていないときには前記マザーチップ単体でこのマザーチップ内の共通基本回路が持つ機能をはたす接続状態とし、前記オプション搭載部に前記オプションチップが搭載されているときには、前記共通基本回路及びオプションチップのオプション回路を結合した状態の機能をはたす接続状態とする接続切換回路を設けて構成される。

【0016】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して説明する。

【0017】図1(a)、(b)は本発明の第1の実施の形態を示す平面図及び部分拡大側面図である。

【0018】この第1の実施の形態は、半導体基板の所定の領域に複数種類のカスタム回路に対し汎用性のある所定の基本操作、共通機能を備えた共通基本回路11、この共通基本回路11と接続し上記半導体基板の周辺部分に設けられた複数の電極パッド12、及び共通基本回路11と接続して上記半導体基板の所定の位置に設けられた複数のバンク電極14を含むオプション接続部15が形成されたマザーチップ1に、共通基本回路11の所定の部分に対する仕様変更、機能変形、機能追加等を含む各種変更を盛り込んだカスタム回路部分のオプション回路（図示省略）、及びオプション接続部15の複数のバンク電極14それぞれと対応する複数のバンク電極21を含む接続部が形成されたオプションチップ2を、複数のバンク電極14と複数のバンク電極21とを互いに対応接続して搭載した構成となっている。

【0019】なお、マザーチップ1の接続切換回路13は、オプションチップ2が搭載されていない状態ではマザーチップ1単体で所定の機能をはたす接続状態となっており、オプションチップ2が搭載されている状態では、オプションチップ2の機能とマザーチップ1の機能とが結合した状態を作り出すような接続状態となるように、接続状態を切換える機能をもっている。なお、この接続状態の切換えは、ヒューズ素子の切断、非切断により行うことができる。

【0020】また、カスタム化は、共通基本回路11の限定された所定の部分、所定の信号等に対する仕様変更、機能変更、機能追加等が多いので、これらの各種変

更に対する共通基本回路11とオプションチップ2のカスタム回路部分との間で授受する信号の種類はある程度限定される。従って、オプション搭載部15及びオプションチップ2に形成されるパンプ電極14, 21の数や配置は、複数種類のカスタム回路部分(従ってオプションチップ2)に対し共通にすることができる。

【0021】マザーチップ1は、複数種類のオプションチップ2に対し共通であり、しかも接続切断回路13によって単独で機能確認、検査等ができるので、受注前に予め製作及び検査をしておくことができる。また、オプションチップ2の種類も限定されるので、これら種類のオプションチップ2をマザーチップ1とは別工程で予め製作しておくができ、ユーザのニーズに応じて製作済みのオプションチップ2を選択してマザーチップ1に搭載し、接続切替回路13によりマザーチップ1及びオプションチップ2間の信号の授受を可能にし、カスタム化した半導体集積回路とすることができる。また、新たなカスタム化でも、オプションチップ2の製作で対応できる。従って、受注から納品までの製造期間を、従来の第1の例より大幅に短縮することができる。また、オプションチップ2の面積に対する制約が小さいので、カスタム化に対する適応範囲を広くすることができる。

【0022】また、マザーチップ1のオプション搭載部15の領域にも共通基本回路11を形成することができるので、従来の第1及び第2の例より集積度を向上させることができ、また小型化することができる。

【0023】図2(a), (b)は本発明の第2の実施の形態を示すオプションチップを搭載した部分の平面図及び側面図である。

【0024】この第2の実施の形態は、マザーチップ1とオプションチップ2との間に、互いに接続するパンプ電極14, 21が、隣接するものどうして接触し短絡事故を起さないようにその間隙を確保するためと、オプションチップ2やマザーチップ1に外部から衝撃(力)が加えられたときにこれらオプションチップ2及びマザーチップ1が破損しないようにするために、保護緩衝層3を設けたものである。

【0025】保護緩衝層3は、オプションチップ2及びマザーチップ1の少なくとも一方に、(ポリ)イミド・低誘電率レジストのPGMA/PMMA樹脂を使用し、パンプ電極を露出するためにリソグラフィ技術を用いて形成する。

【0026】図3(a), (b)は本発明の第3の実施の形態を示すショートノギスアライメント部分の原理説明用模式図及びショートノギス部の配置図である。

【0027】微細化が進み隣接するパンプ電極(14, 21)間が狭くなると、マザーチップ1に搭載するオプションチップ2の搭載位置精度を高くする必要がある。また、マザーチップ1とオプションチップ2との間隙は狭いので、互いに対応するパンプ電極14, 21

1が正しい位置で接続されているかどうかを確認することができない。

【0028】そこで、ノギスの原理を応用し、例えば図3(a)のような寸法で複数のアライメント用端子16, 22をマザーチップ1及びオプションチップ2に配置した複数のショートノギス部23x, 23yを設け、互いに対応するアライメント用端子16, 22間の導通があるかどうかをセンサ4及び電源Eにより確認することにより、オプションチップ2の正確な搭載位置を決定する。対応するアライメント用端子間全てに導通があるとき、正確な位置となる。

【0029】アライメント用端子16, 22は、その高さをパンプ電極14, 21によりわずかに高くし、対応するアライメント用端子16, 22が軽く接触する状態ではパンプ電極14, 21は接触しないようにしておいてこれらの間の導通を確認し、正確な位置が決ったとき、対応するアライメント用端子16, 22を強く接触させることにより(多少の変形は問題ない)、対応するパンプ電極14, 21どうしを接触させる。こうすることにより、正確な位置で対応するパンプ電極14, 21どうしを接続することができる。

【0030】図4(a), (b)は本発明の第4の実施の形態を示すセルフアライメント構造の側面図及びアライメント用端子部分の拡大側面図である。

【0031】このセルフアライメント構造は、オプションチップ2側に、その高さがパンプ電極21より高く、先端が先細となるような傾斜を持つアライメント用端子24が設けられ、マザーチップ1側に、その高さがパンプ電極14より高く、アライメント用端子24を挿入する挿入孔をもちこの挿入孔が開口部で広がるような傾斜を持つアライメント用端子17が設けられた構成となっている。このような構造、構成とすることにより、アライメント用端子24をアライメント用端子17の挿入孔に挿入するだけで、マザーチップ1及びオプションチップ2の対応する位置を正確に、かつ容易に決定することができる。従って、このようなアライメント用端子17, 24を複数箇所設けることにより、マザーチップ1に対するオプションチップ2の搭載位置を正確に、かつ容易に決定することができる。

【0032】なお、第2～第4の実施の形態は、これらを組合て適用することができる。また、オプションチップ2及び対応するオプション搭載部15は1つに限定されるものではなく、複数設けることもできる。

【0033】

【発明の効果】以上説明したように本発明は、複数種類のカスタム回路に対し汎用性のある基本機能、共通機能を備えた共通基本回路、及びオプション接続部が形成されたマザーチップと、共通基本回路に対する各種変更を盛り込んだオプション回路及び接続部が形成されたオプションチップとを別々に製作し、オプションチップをマ

マザーチップに搭載する構成とすることにより、マザーチップ及びオプションチップを共に予め製作しておくことができ、また新たなオプション化でもオプションチップの製作で対応できるので、受注から納品までの製造期間を短縮することができ、かつ、従来の第2の例のような使用しない配線、パッド等はなく、オプション搭載部にも共通基本回路を形成して2階建て構造とすることができるので、集積度が向上し小型化することができ、また、オプションチップの面積に対する制約が小さいので、カスタム化に対する適応範囲を拡大することができる効果がある。

【0034】また、マザーチップとオプションチップとの間には保護緩衝層を設けた構成とすることにより、微細化が進展しても誤接続や隣接端子間の短絡事故の発生、及びチップに対する衝撃、ストレス印加時のチップの破損を防止することができる効果があり、アライメント手段を設けた構成とすることにより、微細化が進展してもオプションチップをマザーチップの正しい位置に正確に搭載できて誤接続、短絡事故等の発生を防止することができる効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す平面図及び部分拡大側面図である。

【図2】本発明の第2の実施の形態を示すオプションチップを搭載した部分の平面図及び側面図である。

【図3】本発明の第3の実施の形態を示すショートノギスアライメント部分の原理説明用模式図及びショートノギス部の配置図である。

【図4】本発明の第4の実施の形態を示すセルフアライ

メント構造の側面図及びアライメント端子部分の拡大側面図である。

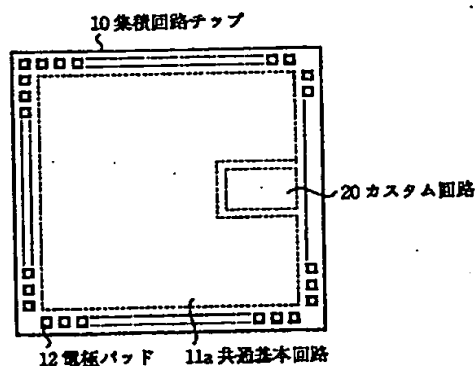
【図5】従来の半導体集積回路の第1の例を示す平面図である。

【図6】従来の半導体集積回路の第2の例を示す平面図及び部分拡大側面図である。

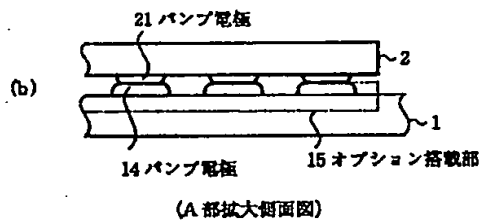
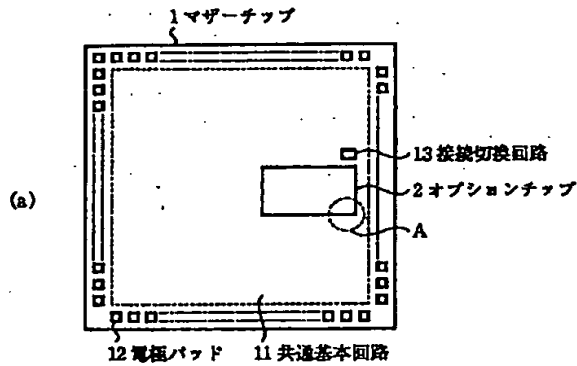
#### 【符号の説明】

- 1 マザーチップ
- 2 オプションチップ
- 3 保護緩衝層
- 10 集積回路チップ
- 11, 11a 共通基本回路
- 12 電極パッド
- 13 接続切換回路
- 14 バンプ電極
- 15 オプション搭載部
- 16, 17 アライメント用端子
- 20 カスタム回路
- 21 バンプ電極
- 22 アライメント用端子
- 23x, 23y ショートノギス部
- 24 アライメント用端子
- 30 モジュール基板
- 31 電極パッド
- 32 配線
- 33 導電性接着剤
- 40 チップ
- 41 電極パッド
- 42 バンプ

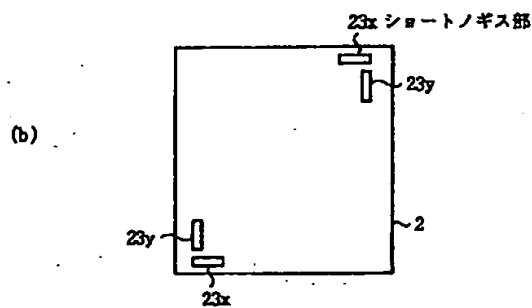
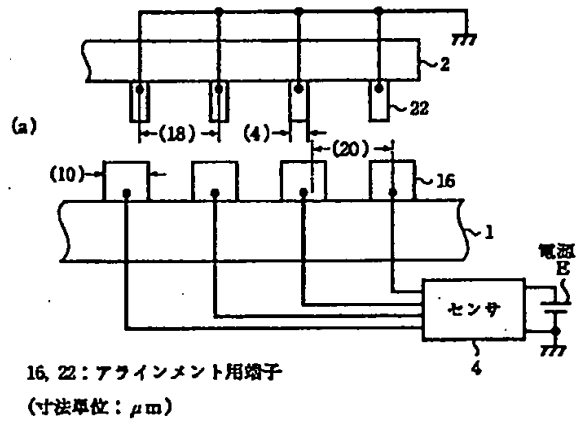
【図5】



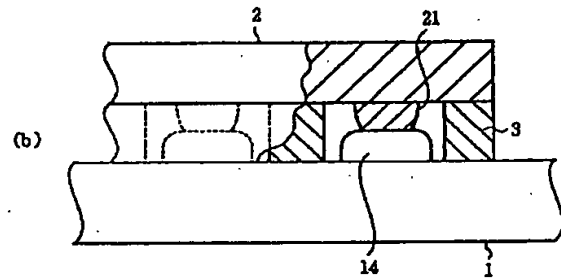
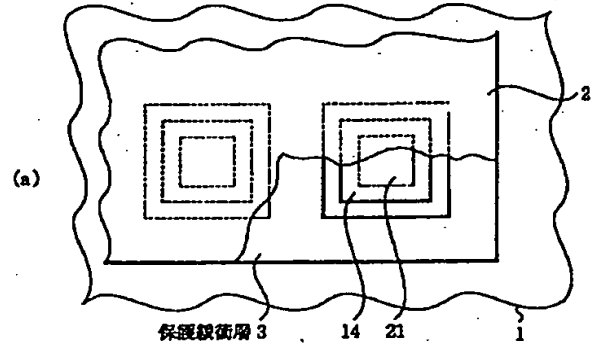
【図 1】



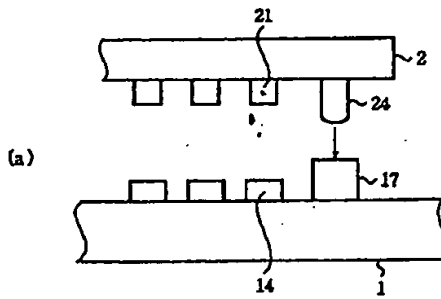
【図 3】



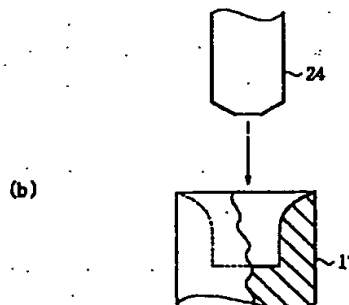
【図 2】



【図 4】



17, 24: アラインメント用端子



【図 6】

